

**THOMSON**  
DELPHION

RESEARCH

PRODUCTS

INSIDE DELPHION

Log Out

Work Files

Saved Searches

My Account | Products

Search: Quick/Number Boolean Advanced Derive

## The Delphion Integrated View

Get Now: ☒ PDF | [More choices...](#)Tools: Add to Work File: [Create new Wor](#)View: [INPADOC](#) | Jump to: [Top](#)[Email](#)

**Title:** JP2003218445A2: PACKAGE FOR HOUSING OPTICAL SEMICONDU  
DEVICE AND OPTICAL SEMICONDUCTOR UNIT

**Country:** JP Japan

**Kind:** A2 Document Laid open to Public inspection I

**Inventor:** KOISO EMI;

**Assignee:** KYOCERA CORP  
[News, Profiles, Stocks and More about this company](#)

**Published / Filed:** 2003-07-31 / 2002-01-25

**Application  
Number:** JP2002000017673

**IPC Code:** [H01S 5/022](#); [H01L 31/02](#);

**Priority Number:** 2002-01-25 JP2002000017673

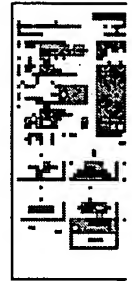
**Abstract:** PROBLEM TO BE SOLVED: To provide a package for housing an optical semiconductor device and an optical semiconductor unit by which joining of an earth lead terminal to a substrate is strengthened and a high-frequency signal of about 10 to 100 GHz can be input and output with a low loss.

SOLUTION: The package includes a first metalized layer 1c formed at an outer face lower end of other side of the substrate 1, a second metalized layer 1d which environs a periphery of the first metalized layer 1c at a certain interval and is formed almost over total outer face of the other side, a signal lead terminal 5a of which upper end is joined to the first metalized layer 1c and of which lower end is extended downward and the earth lead terminal 5b of which upper end is joined to the second metalized layer 1d so that it may be almost parallel with the signal lead terminal 5a and so that a height of the upper end form a lower face of the substrate 1 may be almost the same, wherein a groove A with the second metalized layer 1d not formed is provided at the side of the earth lead terminal 5b and along a longitudinal direction of the earth lead terminal 5b, up to such portion as higher by 0.1 mm or more than one end of the earth lead terminal 5b from an lower edge of the outer face of the other side.

COPYRIGHT: (C)2003,JPO

**Family:** None

**Other Abstract  
Info:** DERABS C2003-667579



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-218445

(P2003-218445A)

(43) 公開日 平成15年7月31日 (2003.7.31)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード\* (参考)

H 0 1 S 5/022

H 0 1 S 5/022

5 F 0 7 3

H 0 1 L 31/02

H 0 1 L 31/02

B 5 F 0 8 8

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願2002-17673(P2002-17673)

(22) 出願日 平成14年1月25日 (2002.1.25)

(71) 出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田烏羽殿町6番地

(72) 発明者 小磯 絵美

滋賀県蒲生郡蒲生町川合10番地の1 京セラ株式会社滋賀蒲生工場内

Fターム(参考) 5F073 AB28 BA01 EA14 EA27 FA23

FA29

5F088 BA02 BA10 BA16 BB01 JA07

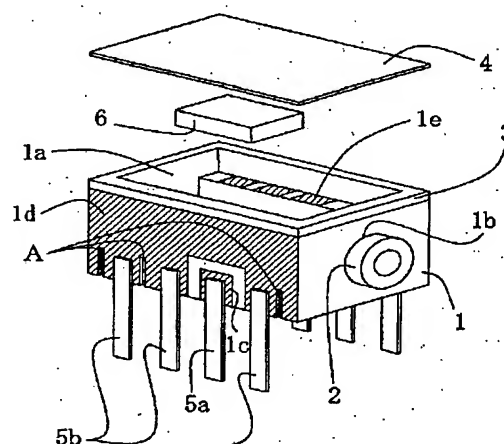
JA09 JA14

(54) 【発明の名称】 光半導体素子収納用パッケージおよび光半導体装置

(57) 【要約】

【課題】 接地リード端子の基体への接合を強固にするとともに、10~100GHz程度の高周波信号を低損失で入出力できるものを提供すること。

【解決手段】 基体1の他の側部の外面下端に形成された第一のメタライズ層1cと、第一のメタライズ層1cの周りを一定間隔で囲むとともに他の側部の外面略全面に形成された第二のメタライズ層1dと、第一のメタライズ層1c上に上端が接合され下端が下方に延設された信号リード端子5aと、第二のメタライズ層1d上に信号リード端子5aと略平行にかつ基体1の下面からの上端の高さが略同じになるように上端が接合された接地リード端子5bとを具備し、接地リード端子5bの横に、接地リード端子5bの長手方向に沿って第二のメタライズ層1dが形成されていない溝部Aが他の側部の外面の下辺から接地リード端子5bの一端よりも0.1mm以上高い位置まで設けられている。



## 【特許請求の範囲】

【請求項1】 略直方体とされ、上面に形成された凹部の底面に光半導体素子を搭載する載置部が設けられているとともに一側部に貫通孔が形成されている絶縁材料から成る基体と、前記貫通孔に嵌着されるかまたは前記貫通孔の基体外面側開口の周囲に一端が接合された筒状の光ファイバ固定部材と、前記基体の他の側部の外面の下端に形成された第一のメタライズ層と、該第一のメタライズ層の周りを一定間隔で囲むとともに前記他の側部の外面の略全面に形成された第二のメタライズ層と、前記第一のメタライズ層上に上端が接合され下端が下方に延設された信号リード端子と、前記第二のメタライズ層上に前記信号リード端子と略平行にかつ前記基体の下面からの上端の高さが略同じになるように上端が接合された接地リード端子とを具備して成り、前記接地リード端子の横に、前記接地リード端子の長手方向に沿って前記第二のメタライズ層が形成されていない溝部が前記他の側部の外面の下辺から前記接地リード端子の上端よりも0.1mm以上高い位置まで設けられていることを特徴とする光半導体素子収納用パッケージ。

【請求項2】 請求項1記載の光半導体素子収納用パッケージと、前記載置部に載置固定されとともに前記第一のメタライズ層および前記第二のメタライズ層を介して前記信号リード端子および前記接地リード端子に電気的に接続された光半導体素子と、前記基体の上面に接合された蓋体とを具備したことを特徴とする光半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体レーザ（LD）、フォトダイオード（PD）等の光半導体素子を受容するための光半導体素子収納用パッケージ、およびその光半導体素子収納用パッケージを用いた光半導体装置に関する。

## 【0002】

【従来の技術】従来の光半導体素子収納用パッケージ（以下、光半導体パッケージともいう）を図4に斜視図で示す（特開2001-127371公報参照）。この光半導体パッケージは、上面に凹部101aを有する略直方体の絶縁材料から成り、凹部101aの底面に光半導体素子106を搭載する載置部を有するとともに、一側部に貫通孔101bが形成された基体101と、貫通孔101bに嵌着されるかまたは基体101外面側開口の周囲に一端が接合された筒状の光ファイバ固定部材（以下、固定部材ともいう）102とを有する。

【0003】また光半導体パッケージは、他の側部の外面の下端に形成された信号リード端子接続用の第一のメタライズ層101cと、第一のメタライズ層101cの周りを一定間隔で囲むように形成された接地リード端子接続用の第二のメタライズ層101dと、第一のメタライズ層101

c上に上端が接合された信号リード端子105aと、信号リード端子105aと略平行で略同じ高さとなるように第二のメタライズ層101d上に上端が接合された接地リード端子105bとを具備している。また、基体101の上面には、蓋体104をシーム溶接するための金属製のシールリング103が接合されている。

【0004】なお、第二のメタライズ層101dが第一のメタライズ層101cの周りを一定間隔で囲んでいることにより、信号リード端子105aに数10GHz程度以上の高周波信号を入出力させた場合、信号リード端子105aの上方側および側方側への高周波信号の放射を有効に防止することができる。即ち、高周波信号が高周波化することによる透過損失の増大を防止することにより、光半導体パッケージへの高周波信号の低損失な入出力を可能するものである。

## 【0005】

【発明が解決しようとする課題】しかしながら、10～100GHz程度の高周波帯域の高周波信号を光半導体パッケージに入出力させる場合に透過損失の増大を防止するために、即ち接地電位（グランド）をより強化するために、第二のメタライズ層101dを第一のメタライズ層101cの周りにより大きな面積で設けることが考えられるが、この場合、第二のメタライズ層101dと接地リード端子105bとをロウ付けする際に、ロウ材が第二のメタライズ層101dの表面で濡れ広がりという問題点があった。

【0006】即ち、図4の従来構成では、第二のメタライズ層101dと接地リード端子105bとの間にロウ材のメニスカスが形成されて、第二のメタライズ層101dと接地リード端子105bとの接合が強固になっていたが、接地電位をより強化しようとして第二のメタライズ層101dの面積を大きくすると、ロウ材が第二のメタライズ層101dの表面で濡れ広がり、十分なメニスカスが形成されなくなる。その結果、第二のメタライズ層101dと接地リード端子105bとの接合力が低下するという問題があった。

【0007】従って、本発明は上記従来の問題点を鑑み完成されたものであり、その目的は、接地リード端子の基体への接合を強固にするとともに、10～100GHz程度の高周波帯域の高周波信号を低損失で入出力できる光半導体パッケージを提供することにある。

## 【0008】

【課題を解決するための手段】本発明の光半導体素子収納用パッケージは、略直方体とされ、上面に形成された凹部の底面に光半導体素子を搭載する載置部が設けられているとともに一側部に貫通孔が形成されている絶縁材料から成る基体と、前記貫通孔に嵌着されるかまたは前記貫通孔の基体外面側開口の周囲に一端が接合された筒状の光ファイバ固定部材と、前記基体の他の側部の外面の下端に形成された第一のメタライズ層と、該第一のメ

タライズ層の周りを一定間隔で囲むとともに前記他の側部の外面の略全面に形成された第二のメタライズ層と、前記第一のメタライズ層上に上端が接合され下端が下方に延設された信号リード端子と、前記第二のメタライズ層上に前記信号リード端子と略平行にかつ前記基体の下面からの上端の高さが略同じになるように上端が接合された接地リード端子とを具備して成り、前記接地リード端子の横に、前記接地リード端子の長手方向に沿って前記第二のメタライズ層が形成されていない溝部が前記他の側部の外面の下辺から前記接地リード端子の上端よりも0.1mm以上高い位置まで設けられていることを特徴とする。

【0009】本発明の光半導体素子収納用パッケージは、上記の構成により、10~100GHz程度の非常に高い周波数帯域の高周波信号を入出力させた場合においても、高周波信号の透過損失の増大を防ぐことが可能である。また、第二のメタライズ層と接地リード端子との接合を強固なものとする事ができる。

【0010】本発明の光半導体装置は、上記本発明の光半導体パッケージと、前記載置部に載置固定されるとともに前記第一のメタライズ層および前記第二のメタライズ層を介して前記信号リード端子および前記接地リード端子に電気的に接続された光半導体素子と、前記基体の上面に接合された蓋体とを具備したことを特徴とする。

【0011】本発明の光半導体装置は、上記の構成により、光半導体素子に非常に高い周波数帯域の高周波信号を低損失で入出力できるとともに、接地リード端子の接合力が向上した信頼性の高い高性能のものとなる。

【0012】

【発明の実施の形態】本発明の光半導体パッケージについて以下に詳細に説明する。図1は本発明の光半導体パッケージについて実施の形態の例を示す。同図において、1は、上面に凹部1aを有する略直方体の絶縁材料から成り、凹部1aの底面に光半導体素子6を載置する載置部を有するとともに、一側部に凹部1aから基体1の外側面にかけて貫通するように形成された貫通孔1bを有する基体である。2は、貫通孔1bの基体1外面側開口の周囲に一端が接合されるかまたは貫通孔1bに嵌着された筒状の固定部材、3は、基体1の上面に接合され蓋体4のシーム溶接を可能とする金属製のシールリング、5a、5bは、基体1の他の側部で対向する側部の外面に被着された第一のメタライズ層1c、第二のメタライズ層1dの上面に接合された信号リード端子、接地リード端子である。これら基体1、固定部材2、シールリング3、信号リード端子5a、接地リード端子5bで、光半導体パッケージが主に構成される。

【0013】本発明の基体1は、アルミナ( $Al_2O_3$ )セラミックスや窒化アルミニウム( $AlN$ )セラミックス等のセラミックスから成る絶縁材料であり、その誘電率や熱膨張係数等の特性と光半導体素子6の特性に応じ

て適宜選定される。

【0014】また、基体1の一側部に形成された貫通孔1bは、光ファイバ(図示せず)から出力される光信号または光ファイバに入力される光信号の伝達経路であり、貫通孔1bに設けられる固定部材2の内周面には、光を集光するサファイア等から成るレンズ等の透光性部材(図示せず)が接合される。固定部材2は、基体1との熱膨張係数差による熱歪みを有効に防止するものであり、光ファイバを樹脂等で接着固定した金属ホルダ(図示せず)をYAGレーザ溶接する際の熱応力を緩和するために、基体1の熱膨張係数に近似した金属から成る。その金属としては、鉄(Fe)-ニッケル(Ni)合金やFe-Ni-コバルト(Co)合金等がよく、例えばFe-Ni-Co合金のインゴット(塊)に圧延加工法や打ち抜き加工法等の従来周知の金属加工法を施すことによって所定形状に形成される。

【0015】また、基体1の他の側部で対向する側部の外面には、第一のメタライズ層1cと、第一のメタライズ層1cの周りを一定間隔で囲むように第二のメタライズ層1dとが被着されており、第一のメタライズ層1c上には信号リード端子5aの上端が、第二のメタライズ層1d上には接地リード端子5bの上端が、銀(Ag)ロウ等のロウ材で接合される。そして、図2に示すように、接地リード端子5bの横に、接地リード端子5bの長手方向に沿って幅が0.03~0.5mmの第二のメタライズ層1dが形成されていない溝部Aが、他の側部の外面の下辺から接地リード端子5bの上端よりも0.1mm以上高い位置(上方の位置)まで設けられている。

【0016】第二のメタライズ層1dは、接地電位強化をするとともに10~100GHz程度の高周波信号を光半導体パッケージに低損失で入出力させるために、第一のメタライズ層1cの周りに一定間隔が設けられた部位よりも、基体1の他の側部の上面側に延設される。即ち、第二のメタライズ層1dは他の側部の外面の略全面に形成される。その結果、10~100GHz程度の高周波信号が伝送された場合にその伝送特性が良好になる。

【0017】なお、第二のメタライズ層1dと第一のメタライズ層1cとの間隔は0.03~2mm程度がよく、0.03mm未満では、第二のメタライズ層1dと第一のメタライズ層1cとが短絡し易くなる。2mmを超えると、第二のメタライズ層1dの接地電位による高周波信号の漏洩抑制の効果が小さくなる。従って、この間隔を設けることにより、信号リード端子5aからの高周波信号の放射による漏洩を防ぎ、高周波信号の損失が小さく効率のよい透過特性が得られるという効果がある。

【0018】この第二のメタライズ層1dは、図3に他の実施の形態を示すように、基体1の他の側部のみに限らず、固定部材2が設けられた一側部やそれに対向する側部、基体1の下面に延長されていても良い。図3のように基体1の側部全面に被着すれば、光半導体パッケー

ジ全体をグランドとして機能させることができ、接地電位強化の点で好ましい。また、図3の構成では、第二のメタライズ層1dは金属製のシールリング3に電氣的に接続されるため、蓋体4が金属から成る場合光半導体装置自体をグランドとして機能させ得る。

【0019】また、溝部Aは、基体1となるセラミックグリーンシートに打ち抜き加工で形成した後、そのセラミックグリーンシートを複数層積層し、焼成することによって作製される。または、溝部Aは焼成後に砥石等で研削加工することによって作製される。

【0020】第二のメタライズ層1dの接地リード端子5bの横に溝部Aを設けることにより、溝部Aで導体ペーストが滲むのを防止し、接地リード端子5bの横を第二のメタライズ層1dが形成されない部位とすることができる。また、溝部Aを設けることにより、第二のメタライズ層1dに接地リード端子5bをロウ材で接合したときに、ロウ材が広がるのが溝部Aで阻止され、接地リード端子5bの接合部の周囲にロウ材の良好なメニスカスが形成される。即ち、溝部Aは内面が凹んでいるため幅方向の沿面距離が増大することとなり、導体ペーストの滲みによって溝部Aが埋まるのを有効に防止し、溝部Aでロウ材が広がるのを阻止できる。そのため、接地リード端子5bの接合強度の劣化を有効に防止できるとともに、隣接する端子同士がロウ材によって接続されるのを防止できる。

【0021】また、第二のメタライズ層1dが他の側部の外面の略全面に形成されているため、接地リード端子5bを接合するためのロウ材は接地リード端子5bの接合部から上方に広がり易くなっており、接地リード端子5bの接合部から上方に大きなロウ材のメニスカスを形成することができる。従って、接地リード端子5bの自由端側の主面に垂直な外力が加わることが多いが、その場合接地リード端子5bが基体1から剥がれるのを有効に防止することができる。

【0022】溝部Aの上端が、接地リード端子5bの接合される上端よりも0.1mm未満の高さに位置する場合、ロウ材が接地リード端子5bの上端部から隣接する端子側（横方向）に流れ出易くなり、大きなロウ材のメニスカスを形成するのが困難になる。

【0023】また、溝部Aの幅および深さはそれぞれ0.03~0.5mmであるのがよい。溝部Aの幅が0.03mm未満の場合、第二のメタライズ層1d形成用の導体ペーストをスクリーン印刷法により所定パターンに形成した際、塗布された導体ペーストが溝部Aに入り込む場合がある。0.5mmを超える場合、接地導体層としての第二のメタライズ層1dの面積が小さくなるため接地電位強化が難しくなる。

【0024】また、溝部Aの深さが0.03mm未満の場合、溝部Aが浅すぎるため、第二のメタライズ層1d形成用の導体ペーストをスクリーン印刷法により所定パ

ターンに形成した際、塗布された導体ペーストにより溝部Aが埋まる場合がある。0.5mmを超えると、溝部Aで基体1が欠け易くなるとともに、溝部Aで基体1の凹部1aの側壁の肉厚が薄くなり側壁がクラック等によって破損し易くなる。

【0025】第一のメタライズ層1c、第二のメタライズ層1dは、タングステン(W)、モリブデン(Mo)、マンガン(Mn)等の高融点金属粉末に適当な有機バインダ、溶剤等を添加混合して得た導体ペーストを、複数層積層した基体1となるセラミックグリーンシートの積層体に、従来周知のスクリーン印刷法により所定パターンで印刷塗布した後焼成することによって、基体1に被着される。または、複数層積層した基体1となるセラミックグリーンシートの積層体を焼成した後、導体ペーストを所定パターンに印刷塗布し焼成することによって基体1に被着される。

【0026】本発明では、導体ペーストをスクリーン印刷法で印刷塗布する際に、スクリーンの溝部Aのパターンと基体1の溝部Aとを位置合わせして印刷塗布することにより、基体1の所定位置に第一のメタライズ層1c、第二のメタライズ層1dを精度良く印刷塗布できる。

【0027】第一のメタライズ層1c、第二のメタライズ層1dに接合される信号リード端子5a、接地リード端子5bは、基体1との熱膨張係数差による熱歪みを有効に防止するとともに高周波信号の伝送を可能とするために、基体1の熱膨張係数に近似した金属から成るのがよい。その金属としては、Fe-Ni合金やFe-Ni-Co合金等がよく、信号リード端子5a、接地リード端子5bは、例えばFe-Ni-Co合金のインゴット（塊）に圧延加工法や打ち抜き加工法等の従来周知の金属加工法を施すことによって所定形状に形成される。

【0028】また、基体1の上面には、基体1との熱膨張係数差による熱歪みを有効に防止するとともに基体1の上面に接合されて蓋体4のシーム溶接を可能とする金属製のシールリング3が、Agロウ等のロウ材を介して接合される。その金属としてはFe-Ni合金やFe-Ni-Co合金等がよく、シールリング3は、例えばFe-Ni-Co合金のインゴット（塊）に圧延加工法や打ち抜き加工法等の従来周知の金属加工法を施すことによって所定形状に形成される。

【0029】かくして、本発明の光半導体パッケージは、略直方体とされ、上面に形成された凹部1aの底面に光半導体素子6を載置する載置部が設けられているとともに一側部に貫通孔1bが形成されている絶縁材料から成る基体1と、貫通孔1bに嵌着されるかまたは貫通孔1bの基体1外面側開口の周囲に一端が接合された筒状の固定部材2と、基体1の他の側部の外面の下端に形成された第一のメタライズ層1cと、第一のメタライズ層1cの周りを一定間隔で囲むとともに他の側部の外面

の略全面に形成された第二のメタライズ層1dと、第一のメタライズ層1c上に上端が接合され下端が下方に延設された信号リード端子5aとを具備し、接地リード端子5bの横に、接地リード端子5bの長手方向に沿って第二のメタライズ層1dが形成されていない溝部Aが他の側部の外面の下辺から接地リード端子5bの一端よりも0.1mm以上高い位置まで設けられている。

【0030】また、本発明の光半導体装置は、本発明の光半導体パッケージと、載置部に載置固定されるとともに第一のメタライズ層1cおよび第二のメタライズ層1dを介して信号リード端子5aおよび接地リード端子5bに電気的に接続された光半導体素子6と、基体1の上面に接合された蓋体4とを具備している。具体的には、光半導体パッケージの載置部に光半導体素子6をガラス、樹脂、ロウ材等の接着剤を介して接着固定するとともに、光半導体素子6の各電極をボンディングワイヤを介して光半導体パッケージ内部の所定のメタライズ配線層1eに接続し、しかる後、基体1上面に蓋体4をシーム溶接等により接合して封止することにより、光半導体素子6を内部に気密に封止した光半導体装置となる。光半導体パッケージ内部のメタライズ配線層1eは、セラミック層等を複数層積層して成る基体1の側部を貫通して形成されることにより、基体1外面の第一のメタライズ層1cおよび第二のメタライズ層1dに電気的に接続されている。そして、光半導体素子6と外部電気回路基板（図示せず）とは、信号リード端子5a、接地リード端子5bを介して電気的に接続されることになる。

【0031】

【実施例】本発明の光半導体パッケージの実施例を以下に説明する。

【0032】図1、図2の光半導体パッケージを以下のようにして作製した。

【0033】縦約7mm×横約13mm×高さ約4mmの直方体とされ、上面に凹部1aが形成されたアルミナセラミックス成る基体1を、複数層のセラミックグリーンシートを積層し約1600℃で焼成することにより作製した。その際、第一のメタライズ層1c、第二のメタライズ層1d、メタライズ配線層1eとなるMo-Mnペーストをセラミックグリーンシートの所定部位にスクリーン印刷法で印刷しておき、また基体1の側部に筒状の固定部材2を設けるための貫通孔1bを形成するとともに他の側部に溝部Aを形成するようにして、焼成を行なった。そして、厚さ20μmの第一のメタライズ層1c、厚さ20μmの第二のメタライズ層1d、厚さ10μmのメタライズ配線層1eを形成した。その後、それらの表面に、酸化防止とロウ材の接合性の向上のために、厚さ1μmのNiメッキ層を被着した。また、第一のメタライズ層1cと第二のメタライズ層1dとの間隔は0.3mmとした。

【0034】次に、第一のメタライズ層1c上にFe-

Ni-Co合金から成る信号リード端子5aの上端をAgロウで接合し、第二のメタライズ層1d上にFe-Ni-Co合金から成る接地リード端子5bの上端をAgロウで接合した。このとき、信号リード端子5aの上端と接地リード端子5bの上端とが同じ高さ（位置）となるようにした。

【0035】次に、基体1の貫通孔1bに、Fe-Ni-Co合金から成る円筒状の固定部材2を、Agロウで嵌着接合した。この固定部材2の内部には、非晶質ガラスから成る球状の透光性部材を低融点ガラスで接合した。これにより、光半導体パッケージを作製した。

【0036】そして、幅0.45mm、厚さ0.25mm、長さ6.5mmの接地リード端子5bと基体1との接合強度（引っ張り強度）を測定した。光半導体パッケージとして、上記のように作製するとともに以下のように基体1を種々のタイプとしたサンプルを用いた。即ち、サンプル1；溝部Aがないもの（従来例）、サンプル2；溝部Aの上端が接地リード端子5bの上端よりも0.05mm高い位置にあるもの（比較例）、サンプル3；溝部Aの上端が接地リード端子5bの上端よりも0.08mm高い位置にあるもの（比較例）、サンプル4；溝部Aの上端が接地リード端子5bの上端よりも0.1mm高い位置にあるもの（実施例）、サンプル5；溝部Aの上端が接地リード端子5bの上端よりも0.13mm高い位置にあるもの（実施例）、を用意した。

【0037】なお、サンプル1～5のいずれも、接地リード端子5bと基体1とを接合するロウ材のボリューム（体積）は一定とした。

【0038】接合強度の測定は、接地リード端子5bの下端部に、プッシュプルゲージ（製品名「CPU GAUGE」、アイコーエンジニアリング株式会社製）の先端にある補助リード端子を溶接し、プッシュプルゲージを10mm/分の速度で、接地リード端子5bを基体1の外側方向（側部に垂直な方向）に引き剥がすことによって行なった。なお、各サンプルは5個ずつ用意した。引き剥がす際、接地リード端子5bは最初は弾性変形を起こすため接合強度値は上昇するが、基体1から完全に引き剥がされると接合強度値の上昇は止まる。その値を接合強度とし、結果を図5のグラフに示す。

【0039】図5より、本発明の実施例であるサンプル4は約3.8N、実施例であるサンプル5は約5.0Nとかなり大きな接合強度であったのに対し、従来例のサンプル1は約2.3N、比較例のサンプル2は約2.7N、サンプル3は約3.0Nと接合強度が小さかった。

【0040】また、サンプル1～5のそれぞれの接地リード端子5bの上端を顕微鏡で20倍程度で観察すると、サンプル1の場合はロウ材のメニスカスがほとんど形成されていなかった。また、サンプル2、3の場合はサンプル1に比しメニスカスが大きく形成されていたが、接地リード端子5bの上端を完全に覆うように形成されて

はいなかった。また、サンプル3はサンプル2に比し大きなメネスカスが形成されていた。サンプル4、5の場合はメネスカスが接地リード端子5bの上端を完全に覆うように形成されていた。

【0041】なお、サンプル1～5において、ロウ材のボリュームを変更した場合に接合強度にわずかな違いはあるが、接地リード端子5bの上端をメネスカスが完全に覆うか否かについては上記と同様の結果となった。

【0042】従って、溝部Aの上端が、接地リード端子5bの上端よりも0.1mm以上の高さに位置することにより、接地リード端子5bの基体1への接合が非常に強固となり、10～100GHz程度の高周波帯域の高周波信号を信頼性良く低損失で入出力できることが判った。

【0043】なお、本発明は上記実施の形態および実施例に限定されず、本発明の要旨を逸脱しない範囲内で種々の変更を施すことは何等差し支えない。

【0044】

【発明の効果】本発明の光半導体素子収納用パッケージは、接地リード端子の横に、接地リード端子の長手方向に沿って第二のメタライズ層が形成されていない溝部が他の側部の外面の下辺から接地リード端子の上端よりも0.1mm以上高い位置まで設けられていることにより、接地導体層としての第二のメタライズ層が他の側部の外面の略全面に形成されるため、基体の接地電位強化がなされて、10～100GHz程度の非常に高い周波数帯域の高周波信号を光半導体素子収納用パッケージに入出力させた場合に高周波信号を低損失で入出力することができる。

【0045】また、第二のメタライズ層と接地リード端子との接合が強固になるとともに、隣接する端子同士がロウ材によって接続されるのを防止できる。さらに、第二のメタライズ層が他の側部の外面の略全面に形成されているため、接地リード端子を接合するためのロウ材は接地リード端子の接合部から上方に広がり易くなっており、接地リード端子の接合部から上方に大きなロウ材のメネスカスを形成することができる。従って、接地リー

ド端子の自由端（下端）側の主面に垂直な外力が加わることが多いが、その場合接地リード端子が基体から剥がれるのを有効に防止することができる。

【0046】本発明の光半導体装置は、本発明の光半導体パッケージと、載置部に載置固定されるとともに第一のメタライズ層および第二のメタライズ層を介して信号リード端子および接地リード端子に電気的に接続された光半導体素子と、基体の上面に接合された蓋体とを具備したことにより、光半導体素子に非常に高い周波数帯域の高周波信号を低損失で入出力できるとともに、接地リード端子の接合力が向上した信頼性の高い高性能の光半導体装置となる。

【図面の簡単な説明】

【図1】本発明の光半導体素子収納用パッケージについて実施の形態の例を示す斜視図である。

【図2】図1の光半導体素子収納用パッケージの要部拡大斜視図である。

【図3】本発明の光半導体素子収納用パッケージについて実施の形態の他の例を示す斜視図である。

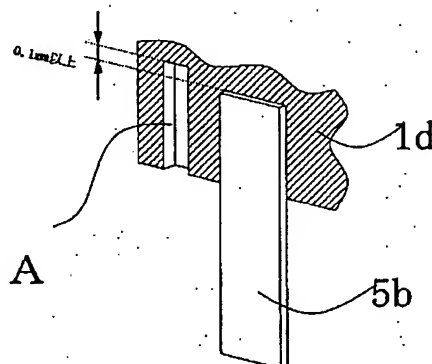
【図4】従来の光半導体素子収納用パッケージの斜視図である。

【図5】本発明の光半導体素子収納用パッケージについて接地リード端子の接合強度を測定した結果のグラフである。

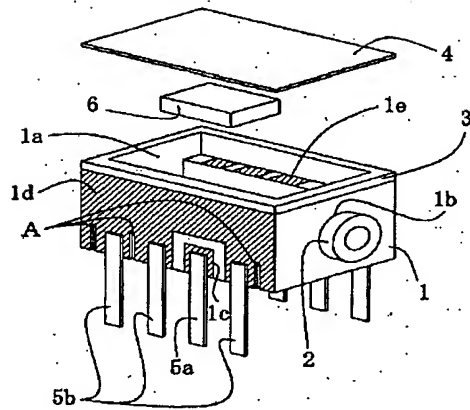
【符号の説明】

- 1：基体
- 1a：凹部
- 1b：貫通孔
- 1c：第一のメタライズ層
- 1d：第二のメタライズ層
- 2：光ファイバ固定部材
- 4：蓋体
- 5a：信号リード端子
- 5b：接地リード端子
- 6：光半導体素子
- A：溝部

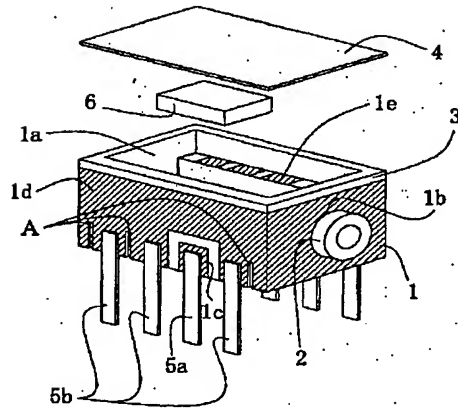
【図2】



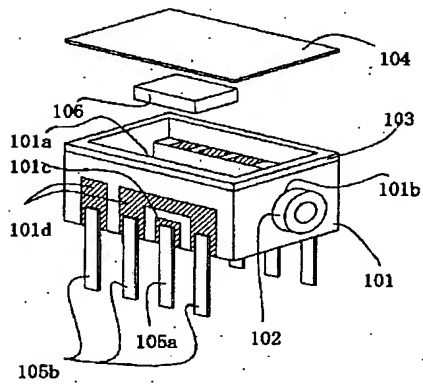
【図1】



【図3】



【図4】



【図5】

